

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-124006

(43)Date of publication of application : 28.04.2000

(51)Int.Cl.

H01C 7/04

(21)Application number : 10-294945

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.10.1998

(72)Inventor : NOZOE KENJI

OKIMOTO TOMOHISA

TAKAHASHI MASAYUKI

KITSUI TSUTOMU

SATO YOSHIYUKI

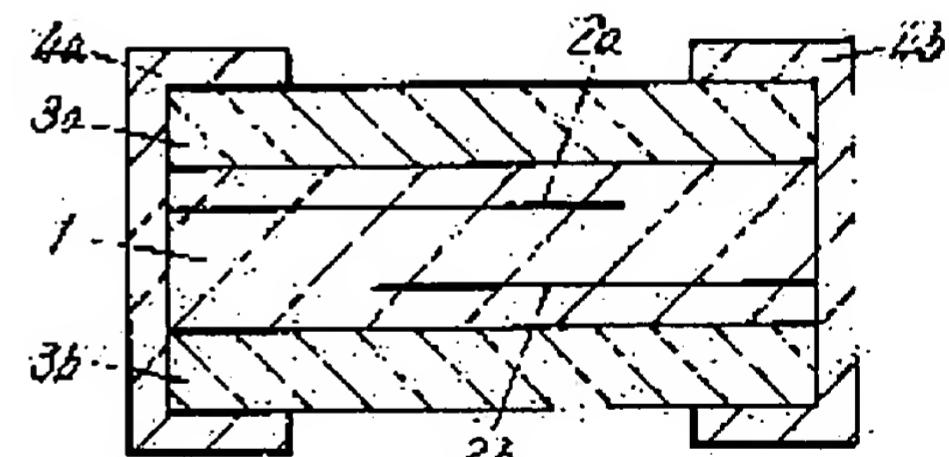
HABATA ETSURO

## (54) LAMINATED THERMISTOR

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a laminated thermistor, the resistance value of which can be designed easily and which can be manufactured at high yield and has a superior moisture resistance.

SOLUTION: A laminated thermistor is provided with a pair of external electrodes 4a and 4b and at least one or more pairs of internal electrodes 2a and 2b connected electrically to the external electrodes 4a and 4b, and the outermost layers of the thermistor are constituted of ceramic layers 3a and 3b having resistivity higher than that of the thermistor layer 1 between the internal electrodes 2a and 2b. The composition of the thermistor is adjusted so that the thermistor layer 1 and ceramic layers 3a and 3b are sintered at the same temperature.



### LEGAL STATUS

[Date of request for examination] 31.08.2001

[Date of sending the examiner's decision of rejection] 22.06.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-124006

(P 2000-124006 A)

(43) 公開日 平成12年4月28日 (2000. 4. 28)

(51) Int. C1. 7

識別記号

H 01 C 7/04

F I

H 01 C 7/04

テマコード (参考)

5E034

審査請求 未請求 請求項の数 4

OL

(全 4 頁)

(21) 出願番号 特願平10-294945

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22) 出願日 平成10年10月16日 (1998. 10. 16)

(72) 発明者 野添 研治

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 沖本 知久

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

最終頁に続く

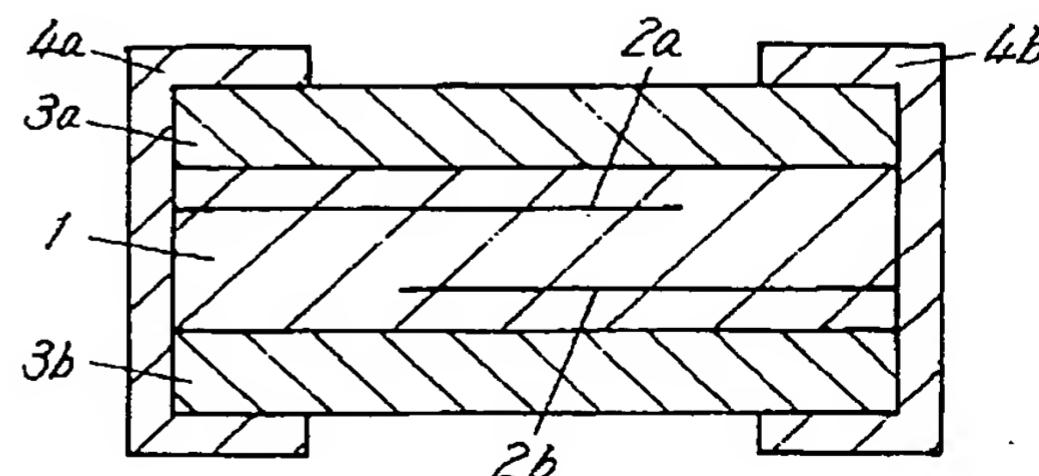
(54) 【発明の名称】積層型サーミスタ

(57) 【要約】

【課題】 抵抗値設計が容易で、歩留まり及び耐湿性に優れた積層型サーミスタを提供することを目的とする。

【解決手段】 一対の外部電極4a, 4bとそれに電気的に接続された少なくとも一対以上の内部電極2a, 2bを有する積層型サーミスタにおいて、その最外層を前記内部電極間のサーミスタ層1より比抵抗の高いセラミック層3a, 3bで構成した構造とする。

1 サーミスタ層  
2a, 2b 内部電極  
3a, 3b セラミック層  
4a, 4b 外部電極



## 【特許請求の範囲】

【請求項1】 一対の外部電極とそれに電気的に接続された少なくとも一対以上の内部電極を有する積層型サーミスタにおいて、その最外層を前記内部電極間のサーミスタ層より比抵抗の高いセラミック層で形成した積層型サーミスタ。

【請求項2】 サーミスタ層とセラミック層と同じ温度で焼結するように組成調整した請求項1に記載の積層型サーミスタ。

【請求項3】 セラミック層の熱膨張係数をサーミスタ層の熱膨張係数よりも小さくなるように設定した請求項1に記載の積層型サーミスタ。

【請求項4】 セラミック層の厚さをサーミスタ層の厚さより厚く形成した請求項1に記載の積層型サーミスタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は水晶発振子等の温度補償に使用する積層型サーミスタに関するものである。

## 【0002】

【従来の技術】 従来の積層型サーミスタは特公昭50-111585号公報に開示されており、その構造を図2に示す。積層型サーミスタはサーミスタ層5を挟んで一対の内部電極6a, 6bを有し、この内部電極6a, 6bの一方の端部はそれぞれ外部電極7a, 7bに接続された構成となっている。

## 【0003】

【発明が解決しようとする課題】 しかし、前記積層型サーミスタの抵抗値Rは、内部電極6a, 6b間の抵抗値RAと、内部電極6aの先端と外部電極7b間、内部電極6bの先端部と外部電極7a間の抵抗値RB及び外部電極7a, 7b間の抵抗値RCによって定まる。即ち、次式の関係が成立する。

$$1/R = 1/R_A + 1/R_B + 1/R_C$$

従って、従来の積層型サーミスタのように、内部電極6a, 6b間及びその他の層を同一材料のセラミックで形成した場合は、RA要素のほかにRB, RC要素の影響を受けて抵抗値設計が困難となり、歩留まりが低下すると共に、この積層型サーミスタを厳しい環境下で長期間使用すると、外部電極7a, 7b間(特に表面層成分)の抵抗値RCの変化の影響を受け、全体の抵抗変化率が大きくなるという課題がある。また高い抵抗値を設計するために、内部電極6aと6bの間隔を大きくすると更にその影響が大きくなる。

【0005】 本発明は従来の課題を解決するもので、抵抗値設計が容易なしかも耐環境性にすぐれた積層型サーミスタを提供することを目的とする。

## 【0006】

【課題を解決するための手段】 この課題を解決するために本発明の積層型サーミスタは、一対の外部電極とそれ

に電気的に接続された少なくとも一対以上の内部電極を有する積層型サーミスタにおいて、その最外層を内部電極間のサーミスタ層より比抵抗の高いセラミック層で形成することにより、内部電極RAに対するRBとRCの影響度を小さくすると共に、外部電極間の表面層抵抗RCの抵抗値変化の影響を小さくすることができ、これにより所期の目的を達成するものである。

## 【0007】

【発明の実施の形態】 本発明の請求項1記載の発明は、一対の外部電極とそれに電気的に接続された少なくとも一対以上の内部電極を有する積層型サーミスタにおいて、その最外層を前記内部電極間のサーミスタ層より比抵抗の高いセラミック層で形成した積層型サーミスタであり、最外層を比抵抗の高いセラミック層で形成することによって、内部電極間の抵抗値RAに対する他の抵抗値成分RB, RCの影響度を小さくすることができ抵抗値設計が容易になると共に、耐環境性能も向上させることができるものである。

【0008】 請求項2記載の発明は、サーミスタ層とセラミック層と同じ温度で焼結するように組成調整をした請求項1に記載の積層型サーミスタであり、サーミスタ層とセラミック層と同じ温度で焼結させることにより、双方の緻密化が同時に進行し、両者の積層界面での歪みが少なく積層型サーミスタの焼結体の機械的強度の低下を防ぐことができる。

【0009】 請求項3記載の発明は、セラミック層の熱膨張係数をサーミスタ層の熱膨張係数よりも小さく設定した請求項1に記載の積層型サーミスタであり、これによつて積層型サーミスタは常時最外層表面から圧縮応力が加わった状態となり機械的強度を向上させることができる。

【0010】 請求項4記載の発明は、セラミック層の厚さをサーミスタ層の厚さより厚く形成した請求項1に記載の積層型サーミスタであり、これによつて、内部電極間の抵抗値RAに対する他の抵抗値成分RB, RCの影響度を更に小さくすることができるという効果を有するものである。

【0011】 以下、本発明の一実施の形態について、添付図面を用いて説明する。図1は本発明の一実施の形態における積層型サーミスタの断面図を示す。図において1はサーミスタ層、2a, 2bは内部電極、3a, 3bはセラミック層、4a, 4bは外部電極である。得られた積層型サーミスタの抵抗Rは次式で表される。

$$1/R = 1/R_1 + 1/R_2 + 1/R_3$$

但し、Rは積層型サーミスタの抵抗値

R<sub>1</sub>は内部電極2a, 2b間で発生する抵抗値

R<sub>2</sub>は内部電極2a先端部と外部電極4b間、及び内部電極2bの先端部と外部電極4a間で発生する抵抗値

R<sub>3</sub>は外部電極4a, 4b間で発生する抵抗値

一般的に、サーミスタ層1、セラミック層3a, 3bを

同じ材料で形成した場合の抵抗値の大きさは  $R_1 < R_2 < R_3$  の関係にある。また内部電極 2a, 2b 間の距離を T、内部電極 2a, 2b の対向面積を S、サーミスタ層 1 の比抵抗を  $p_1$  とすると  $R_1$  は次式で表される。

【0013】  $R_1 = p_1 \cdot T / S$

サーミスタ層 1 よりセラミック層 3a, 3b の比抵抗を高い材料で構成しその比抵抗を  $p_2$ 、内部電極 2a または 2b の先端部とそれに相対する外部電極 4a, 4b 間の距離を L、外部電極 4a, 4b 間の距離を D とすると、 $R_2$  は  $p_1, p_2, L$  に、 $R_3$  は  $p_1, p_2, D$  に比例した値となる。

【0014】 図 2 の従来の積層型サーミスタの最外層を、本実施の形態のサーミスタ層 1 と同じ材料で構成し、他のパラメータ (S, T, L, D) も同じとすると、従来の積層型サーミスタの  $R_2$  は  $p_1, L$  に、 $R_3$  は  $p_1, D$  に比例した値となる。

【0015】 従って  $p_1 < p_2$  の関係から本実施の形態の積層型サーミスタの  $R_2, R_3$  は従来のものより小さくなる。

【0016】 次に、本発明の具体的な実施例を説明する。

(実施例) 公知の窯業的手法を用い、 $Mn : Ni : Cr = 81.5 : 17.5 : 1.0$  (at%) からなる比抵抗  $p_1 = 2.4 k\Omega \cdot cm$ 、及び  $Mn : Ni : Al : Cr = 72.5 : 17.5 : 9.0 : 1.0$  (at%) からなる比抵抗  $p_2 = 12 k\Omega \cdot cm$  のそれぞれの材料を作製した。

【0017】 次に、前記材料を公知のドクターブレード法を用い、それぞれ厚さ  $2.5 \mu m$  のグリーンシートを作製した。

【0018】 次いで、公知の積層セラミックコンデンサの製造方法に従って積層型サーミスタのグリーンブロックを作製した。

【0019】 先ず、高比抵抗材料の  $Mn : Ni : Al : Cr$  系グリーンシートを 5 層積層加圧着し最外層セラミック層 3a, 3b のグリーンシートを作製する。

【0020】 次に、セラミック層 3a のグリーンシート面に低比抵抗材料の  $Mn : Ni : Cr$  系のグリーンシート\*

\* トを 2 層積層着した後、その面にスクリーン印刷によって  $Pd$  を主成分とする電極ペーストで内部電極 2a を形成した低抵抗材料の  $Mn - Ni - Cr$  系グリーンシートの積層着を行い、続いて、その面に同様に内部電極 2b を形成した低抵抗材料の  $Mn - Ni - Cr$  系グリーンシートを内部電極 2a の長手方向に所定寸法ずらし積層着を行う。更に低抵抗材料の  $Mn - Ni - Cr$  系グリーンシートを 2 層積層着を行い、最後に高比抵抗材料の  $Mn : Ni : Al : Cr$  系セラミック層 3b のグリーンシートを積層着して積層体グリーンブロック (図示せず) を作製した。

【0021】 その後、作製したグリーンブロックを、所定寸法に切断しグリーンチップを得る。得られたグリーンチップは一方の端面に内部電極 2a の端面が、対向する他方の端面には低抵抗材料の  $Mn - Ni - Cr$  系グリーンシートを挟んで内部電極 2b の端面が露出した状態となっている。

【0022】 得られたグリーンチップを大気中の  $135^{\circ}C$  の温度で焼成し焼結体を作製した後、焼結体の面取りを行い、焼結体の両端面に内部電極 2a, 2b の一方の端面を完全に露出させる。

【0023】 続いて、焼結体の両端面部に  $Ag$  を主成分とする電極ペーストを塗布した後、 $800^{\circ}C$  の温度で焼付けを行って外部電極 4a, 4b を形成した。

【0024】 次に、外部電極 4a, 4b の面上に電解メッキ法により、ニッケル膜、更にその上に半田膜を形成し、図 1 に示す積層型サーミスタを完成させた。

【0025】 また、比較例として全ての層を低抵抗材料の  $Mn - Ni - Cr$  系グリーンシートを用いて、本実施例と同様に図 2 に示す従来の積層型サーミスタを作製した。

【0026】 作製した、本実施例及び従来例の積層型サーミスタの抵抗値  $R$  のバラツキと、温度  $85^{\circ}C$ 、湿度 85% の恒温恒湿槽に 1000 時間放置する湿中放置試験前後の抵抗値変化率の評価を行いその結果を (表 1) に示した。

【0027】

【表 1】

	初期抵抗値		$\Delta R_{20} / R_{20}$
	$R_{20}$	変動係数 %	
本発明品	$2.03 k\Omega$	1.18%	0.56%
従来品	$1.92 k\Omega$	2.01%	2.01%

【0028】 (表 1) に示すように、本発明の積層型サーミスタは従来例に比較し、抵抗値変動係数が  $1/2$ 、湿中放置試験での抵抗変化率が  $1/5$  と小さくなっている。

ことが分かる。これは本発明の最外層に高比抵抗のセラミック層 3a, 3b を形成することによって、抵抗値  $R_1$  に対する抵抗値  $R_2, R_3$  の寄与率が小さくなり、設

計どおりの値を得ることができることを示している。また湿中放置試験においても外部電極4a, 4b間のセラミック層3a, 3b表面の抵抗値R<sub>s</sub>変化の寄与度が小さくなり抵抗値変化率も小さくなつたものと思われる。

【0029】従つて、内部電極2a, 2bの対向面積Sと距離Tを精度よく作製すれば、内部電極2a, 2bの先端部と外部電極4a, 4bの距離L、外部電極4a, 4b間の間隔Dのパラメータによる抵抗値変動要素の影響の少ない、対環境性の優れた積層型サーミスタを提供することができ、工業的に効果の高いものとなる。

【0030】

【発明の効果】以上本発明によれば、一対の外部電極とそれに電気的に接続された少なくとも一対以上の内部電極を有する積層型サーミスタにおいて、その最外層を前

記内部電極間のサーミスタ層より比抵抗の高いセラミック層で形成することによって、抵抗値設計が容易で、抵抗値バラツキが小さく、しかも耐湿性に優れた積層型サーミスタの提供が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の積層型サーミスタの断面図

【図2】従来の積層型サーミスタの断面図

【符号の説明】

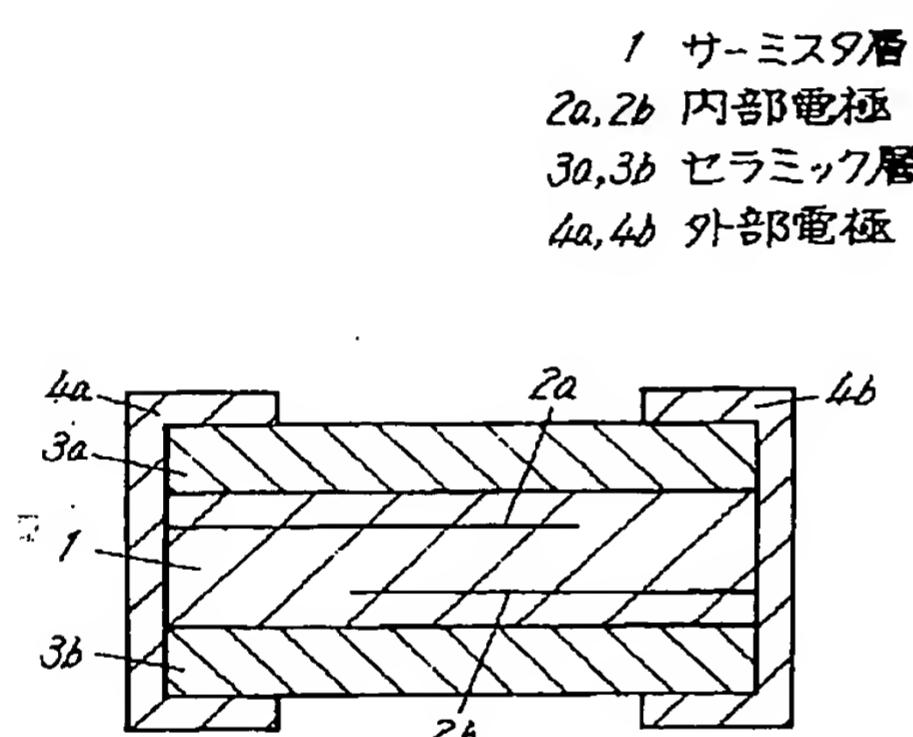
10 1 サーミスタ層

2a, 2b 内部電極

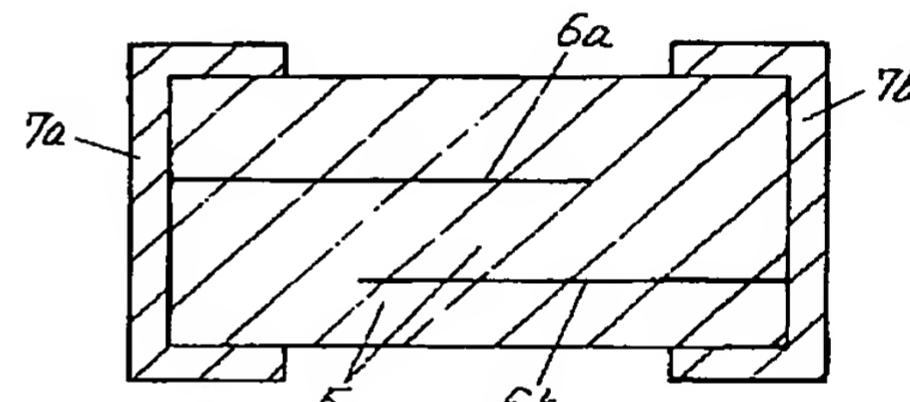
3a, 3b セラミック層

4a, 4b 外部電極

【図1】



【図2】



フロントページの続き

(72) 発明者 ▲高▼橋 雅幸

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 橘井 努

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 佐藤 義之

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 幅田 悅朗

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

F ターム(参考) 5E034 BA07 BA10 BB01 DA07 DB15  
DC01

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91105

(P2000-91105A)

(43) 公開日 平成12年3月31日 (2000. 3. 31)

(51) Int. C1. 7

H01C 7/04  
1/034  
7/02  
17/06  
17/16

識別記号

F I

テマコード (参考)

H01C 7/04  
1/034  
7/02  
17/06  
17/16

5E028

V

5E032

5E034

審査請求 未請求 請求項の数 7

O L

(全 5 頁)

(21) 出願番号

特願平10-258050

(22) 出願日

平成10年9月11日 (1998. 9. 11)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 井藤 恭典

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 川瀬 政彦

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

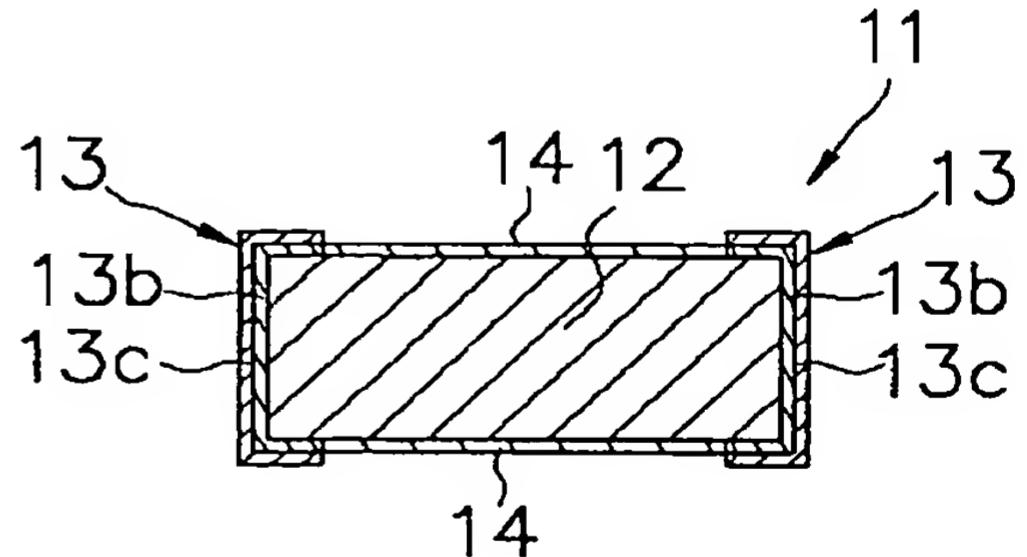
最終頁に続く

(54) 【発明の名称】チップ型セラミックサーミスタおよびその製造方法

(57) 【要約】

【課題】 より安価な方法で生産できるチップ型セラミックサーミスタおよびその製造方法を提供する。

【解決手段】 セラミックサーミスタ素子の両端部に外部電極が形成されており、この外部電極で被覆されていないセラミックサーミスタ素子の表面は有機系絶縁層もしくはサーミスタ素子よりも高比抵抗のセラミック層で覆われている。



【特許請求の範囲】  
 【請求項1】 セラミックサーミスタ素子の両端部に外部電極が形成されており、この外部電極で被覆されていないセラミックサーミスタ素子の表面は有機系絶縁層もしくはサーミスタ素子よりも高比抵抗のセラミック層で覆われていることを特徴とするチップ型セラミックサーミスタ。

【請求項2】 前記セラミックサーミスタ素子は比抵抗が $200\Omega\cdot\text{cm}$ 以下であることを特徴とする請求項1記載のチップ型セラミックサーミスタ。

【請求項3】 前記絶縁層は、アクリレート系の絶縁樹脂からなることを特徴とする請求項1または請求項2記載のチップ型セラミックサーミスタ。

【請求項4】 前記サーミスタ素子よりも高比抵抗のセラミック層は、前記セラミックサーミスタ素子と同一組成系からなることを特徴とする請求項1または請求項2記載のチップ型セラミックサーミスタ。

【請求項5】 前記サーミスタ素子よりも高比抵抗のセラミック層は、Mn, Ni, Co, Fe, Cu, Alのうち2種以上からなる酸化物を主成分とし、Zn, Al, W, Zr, Sb, Y, Sm, Ti, Feのうち少なくとも1種以上を含有するセラミックサーミスタ材料からなることを特徴とする請求項1、請求項2または請求項4記載のチップ型セラミックサーミスタ。

【請求項6】 前記外部電極が電解メッキ層からなることを特徴とする請求項1から請求項5のいずれかに記載のチップ型セラミックサーミスタ。

【請求項7】 サーミスタ用セラミックグリーンシートを準備する工程と、

前記セラミックグリーンシートを所定枚数積層する工程と、

この積層体をチップ状に切断、焼成してセラミックサーミスタ素子を得る工程と、

このセラミックサーミスタ素子の両端部を除く表面に有機系絶縁層またはサーミスタ素子よりも高比抵抗のセラミック層を形成する工程と、

このセラミックサーミスタ素子を電解メッキし、このセラミックサーミスタ素子の両端部に電解メッキ層を形成する工程と、を備えることを特徴とするチップ型セラミックサーミスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表面実装用のチップ型セラミックサーミスタとその製造方法に関するものである。

【0002】

【従来の技術】従来のチップ型セラミックサーミスタは、その両端部に、Ag焼付け電極を用いて外部電極が形成されるが、実装時の半田濡れ性、半田耐熱性を向上させるため、Ag焼付け電極の上に電解メッキによるメ

ッキ層を形成することが好ましい。しかし、チップ型セラミックサーミスタ、特に低比抵抗材料からなるチップ型セラミックサーミスタは、電解メッキ時、外部電極形成部以外のセラミックサーミスタ素子表面にもメッキが析出したり、セラミックサーミスタ素子が腐食、溶解して、抵抗値変化を生じるという問題がある。したがって、セラミックサーミスタ素子の表面に、外部電極形成部を除いてガラス層を形成し、電解メッキ時に、セラミックサーミスタ素子表面にメッキが析出することおよびセラミックサーミスタ素子表面の腐食を防止している。

【0003】

【発明が解決しようとする課題】従来のチップ型セラミックサーミスタ1は、図5に示すように、セラミックサーミスタ素子2と、セラミックサーミスタ素子2の両端部に形成された外部電極3、3と、外部電極形成部を除いてセラミックサーミスタ素子2の表面に形成されたガラス層4とからなる。

【0004】このチップ型セラミックサーミスタ1は、セラミックサーミスタ素子2の両端部に下地層としてAg厚膜ペーストを塗布して焼付け、Ag焼付け電極層3a、3aを形成する。次に、セラミックサーミスタ素子2表面にガラス層4を形成し、その後、電解メッキ処理を施してNiメッキ層3b、3bとSnメッキ層3c、3cを形成する。

【0005】しかしながら、上記チップ型セラミックサーミスタ1およびその製造方法は、焼成したセラミックサーミスタ素子2の両端部にAg厚膜ペーストを塗布して焼付ける工程があるため、生産性が低く、コストが高くなるという問題があった。

【0006】この発明の目的は、より安価な方法で生産できるチップ型セラミックサーミスタおよびその製造方法を提供することである。

【0007】

【課題を解決するための手段】この発明に係るチップ型セラミックサーミスタは、セラミックサーミスタ素子の両端部に外部電極が形成されており、この外部電極で被覆されていないセラミックサーミスタ素子の表面は有機系絶縁層もしくはサーミスタ素子よりも高比抵抗のセラミック層で覆われていることを特徴とする。

【0008】前記セラミックサーミスタ素子は、比抵抗が $200\Omega\cdot\text{cm}$ 以下であることが好ましい。

【0009】前記絶縁層は、アクリレート系の絶縁樹脂からなることが好ましい。

【0010】前記サーミスタ素子よりも高比抵抗のセラミック層は、前記セラミックサーミスタ素子と同一組成系からなることが好ましい。

【0011】前記サーミスタ素子よりも高比抵抗のセラミック層は、Mn, Ni, Co, Fe, Cu, Alのうち2種以上からなる酸化物を主成分とし、Zn, Al, W, Zr, Sb, Y, Sm, Ti, Feのうち少なくと

も1種以上を含有するサーミスタ材料からなることが好ましい。

【0012】前記外部電極は、電解メッキ層からなることが好ましい。

【0013】この発明に係るチップ型セラミックサーミスタの製造方法は、サーミスタ用セラミックグリーンシートを準備する工程と、前記セラミックグリーンシートを所定枚数積層する工程と、この積層体をチップ状に切断、焼成してセラミックサーミスタ素子を得る工程と、このセラミックサーミスタ素子の両端部を除く表面に有機系絶縁層またはサーミスタ素子よりも高比抵抗のセラミック層を形成する工程と、このセラミックサーミスタ素子を電解メッキし、このセラミックサーミスタ素子の両端部に電解メッキ層を形成する工程と、を備えることを特徴とする。

【0014】これらの発明によれば、Ag焼付け電極を使用せずに、セラミックサーミスタ素子に直接電解メッキを施すことにより、安価なチップ型セラミックサーミスタを容易に製造することができる。

【0015】

【発明の実施の形態】この発明における一つの実施の形態について、図1に基づいて、詳細に説明する。

【0016】図1に示すチップ型セラミックサーミスタ11は、セラミックサーミスタ素子12と、このセラミックサーミスタ素子12の両端部に形成された外部電極13、13と、前記セラミックサーミスタ素子12の外部電極13、13形成部を除く外表面を被覆する絶縁層14とからなる。

【0017】このチップ型セラミックサーミスタ11は、以下の製造方法にて作製される。まず、Mn、Ni、Co、Fe、Cu、Alから選ばれる2以上の金属酸化物を主成分とする比抵抗が200Ω·cm以下のサーミスタ材料に、有機バインダー、分散材、表面活性材、消泡材、溶媒を所定量加え、40~60μmのセラミックグリーンシートを作製し、所定サイズにカットする。次に、このセラミックグリーンシートを所定枚数積層し、所定厚みになるように油圧プレス機で圧着し、一体化する。さらに、その成形体を、所定サイズのチップ状のセラミックサーミスタ素子に切断する。この焼成前のセラミックサーミスタ素子12を1000~1300℃で焼成して、図2(a)に示すセラミックサーミスタ素子12を得る。

【0018】次に、図2(b)に示すように、このセラミックサーミスタ素子12の周囲4側面に、外部電極形成部を残してアクリレート系の絶縁樹脂をタンポ印刷などの工法を用いて塗布、熱硬化させて、絶縁層14を形成する。

【0019】アクリレート系の絶縁樹脂は従来のガラス層と比べて耐メッキ性が強く、より好ましい。絶縁樹脂は、耐メッキ性があればアクリレート系以外のものであ

ってもよく、アクリル系、エポキシ系、フッ素系、シリコン系、ビニル系などでもよい。

【0020】さらに、絶縁層14を形成したセラミックサーミスタ素子12の両端部に、電解バレルメッキ方式により、Niメッキ層13b、13bとSnメッキ層13c、13cを順次形成して、図1、図2(c)に示すような、チップ型セラミックサーミスタ11を得る。

【0021】次に、この発明における他の実施の形態について、図3に基づいて説明する。なお、チップ型セラミックサーミスタ11と同一のものについては同一の符号を付し、詳細な説明を省略する。

【0022】図3に示すチップ型セラミックサーミスタ11aは、セラミックサーミスタ素子12と、このセラミックサーミスタ素子12の両端部に形成された外部電極13、13と、前記セラミックサーミスタ素子12の外部電極13、13形成部を除く外表面を被覆する高比抵抗層14aとからなる。

【0023】このチップ型セラミックサーミスタ11aは、以下の製造方法にて作製される。まず、チップ型セラミックサーミスタ11と同様に、セラミックグリーンシートを作製し、このセラミックグリーンシートを所定枚数積層し、所定厚みになるように油圧プレス機で圧着し、一体化する。さらに、その成形体を、所定サイズのチップ状のセラミックサーミスタ素子に切断し、図4(a)に示すような焼成前のセラミックサーミスタ素子12aを得る。

【0024】次に、セラミックサーミスタ素子12aと同一組成系の高比抵抗のセラミック材料を準備する。つまり、Mn、Ni、Co、Fe、Cu、Alのうち2種以上からなる酸化物を主成分とし、Zn、Al、W、Zr、Sb、Y、Sm、Ti、Feのうち少なくとも1種以上を含有するペースト状のセラミックサーミスタ材料を準備する。このセラミックサーミスタ材料は、セラミックサーミスタ素子12aよりも高比抵抗の材料である。そして、このセラミックサーミスタ素子12aの周囲4側面に、外部電極形成部を残して前記高比抵抗材料を、タンポ印刷などの工法を用いて塗布し、その後、この焼成前のセラミックサーミスタ素子12aを1000~1300℃で焼成して、図4(b)に示すような、4側面に高比抵抗層14aが形成されたセラミックサーミスタ素子12aを得る。

【0025】すなわち、焼成前のセラミックサーミスタ素子12aの周囲4側面に、外部電極形成部を残して高比抵抗材料を印刷し、セラミックサーミスタ素子12aと同時焼成することにより、セラミックサーミスタ素子12aの4側面を帯状に被覆する高比抵抗層14aが形成される。

【0026】次に、このセラミックサーミスタ素子12aの両端部に、電解バレルメッキ方式により、Niメッキ層13b、13bとSnメッキ層13c、13cを順

次形成して、図3、図4(c)に示すようなチップ型セラミックサーミスタ11aを得る。

【0027】なお、この発明のチップ型セラミックサーミスタ11、11aにおいて、外部電極13は電解メッキ膜であればよく、Ni、Snに限定されるものではない。

【0028】また、この発明のチップ型セラミックサーミスタ11、11aにおいては内部電極の有無は問わないが、グリーンシートの積層前に、必要に応じてグリーンシートの表面に内部電極を形成し、セラミックサーミスタ素子12、12aに内部電極を形成したものであってもよい。

【0029】さらに、この発明のセラミックサーミスタ素子12、12aは、負特性サーミスタ素子に限定されるものではなく、正特性サーミスタ素子であってもよい。

【0030】

【発明の効果】以上述べたように、この発明に係るチップ型セラミックサーミスタは、セラミックサーミスタ素子表面に有機系絶縁層もしくは高比抵抗層を形成することにより、電解メッキ時の素子の腐食、腐食によるセラミックサーミスタ素子の抵抗値変化を防ぎ、セラミックサーミスタ素子の抗折強度の劣化、信頼性悪化を防止することができる。

【0031】また、Ag厚膜ペーストを使用せず、電解メッキのみで外部電極を形成するため、低成本で半田

耐熱性の優れた外部電極を形成することができる。

【図面の簡単な説明】

【図1】この発明に係る一つの実施の形態のチップ型セラミックサーミスタの断面図である。

【図2】図1のチップ型セラミックサーミスタの製造工程を示しており、(a)は焼成後のセラミックサーミスタ素子の斜視図、(b)は絶縁樹脂で被覆したセラミックサーミスタ素子の斜視図、(c)は外部電極を形成したチップ型セラミックサーミスタの斜視図である。

【図3】この発明に係る他の実施の形態のチップ型セラミックサーミスタの断面図である。

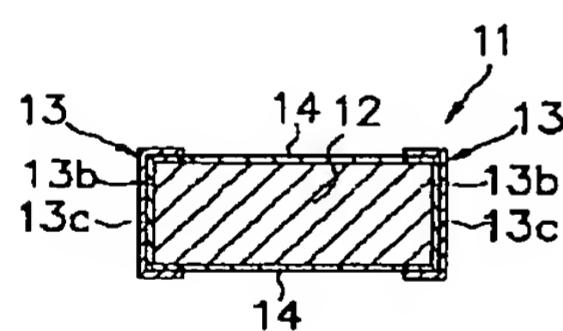
【図4】図3のチップ型セラミックサーミスタの製造工程を示しており、(a)は焼成前のセラミックサーミスタ素子の斜視図、(b)は高比抵抗層を形成したセラミックサーミスタ素子の斜視図、(c)は外部電極を形成したチップ型セラミックサーミスタの斜視図である。

【図5】従来のチップ型セラミックサーミスタを示す断面図である。

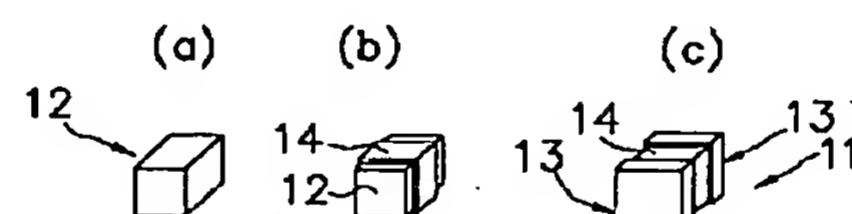
【符号の説明】

11、11a	チップ型セラミックサーミスタ
12、12a	セラミックサーミスタ素子
13	外部電極
13b、13c	電解メッキ層
14	絶縁層
14a	高比抵抗層

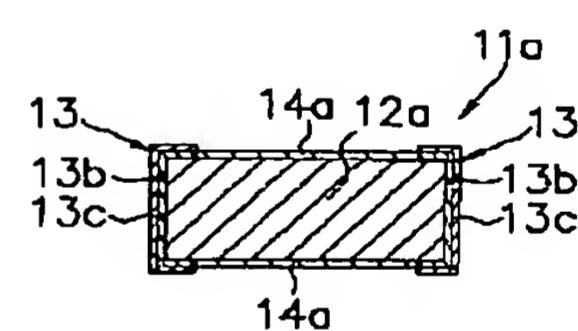
【図1】



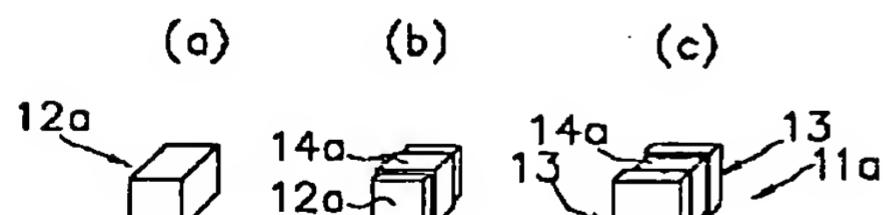
【図2】



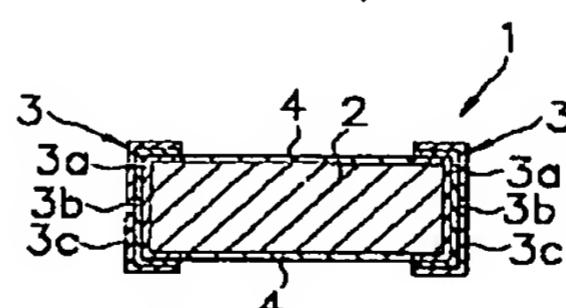
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 5E028 AA10 BA23 BB08 CA02 DA04  
EA01 EB01 EB04  
5E032 AB01 BA23 BB08 CA02 CC14  
CC16 DA01  
5E034 AB01 AC01 BB01 BC02 DA02  
DB15 DB16 DC01 DC09 DE05  
DE07 DE17

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The laminating mold thermistor which formed the outermost layer in the laminating mold thermistor which was electrically connected to the external electrode of a pair, and it, and which has an internal electrode more than a pair at least in the ceramic layer with specific resistance higher than the thermistor layer between said internal electrodes.

[Claim 2] The laminating mold thermistor according to claim 1 which carried out presentation adjustment so that a thermistor layer and a ceramic layer might be sintered at the same temperature.

[Claim 3] The laminating mold thermistor according to claim 1 which set up the coefficient of thermal expansion of a ceramic layer so that it might become smaller than the coefficient of thermal expansion of a thermistor layer.

[Claim 4] The laminating mold thermistor according to claim 1 which formed the thickness of a ceramic layer more thickly than the thickness of a thermistor layer.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention relates to the laminating mold thermistor used for the temperature compensation of a crystal oscillator etc.

#### [0002]

[Description of the Prior Art] The conventional laminating mold thermistor is indicated by JP, 50-11585, B, and shows the structure to drawing 2 . A laminating mold thermistor has the internal electrodes 6a and 6b of a pair on both sides of the thermistor layer 5, and one edge of these internal electrodes 6a and 6b has composition connected to the external electrodes 7a and 7b, respectively.

#### [0003]

[Problem(s) to be Solved by the Invention] However, the resistance R of said laminating mold thermistor becomes settled with the resistance RC between the tip of internal electrode 6a, and the resistance RA between 6b and internal electrode 6a, between external electrode 7b and the point of internal electrode 6b, the resistance RB between external electrode 7a and external electrode 7a, and 7b. That is, the relation of a degree type is materialized.

[0004] Like  $1/R = 1/RA + 1/RB + 1/RC$ , therefore the conventional laminating mold thermistor, when the layer of between internal electrode 6a and 6b and others is formed with the ceramic of the same ingredient While resistance designing becomes difficult [ other than RA element ] in response to the effect of RB and RC element and the yield falls When this laminating mold thermistor is used under a severe environment for a long period of time, the technical problem that the whole resistance rate of change becomes large occurs in response to the effect of change of the resistance RC between external electrode 7a and 7b (especially surface layer component). Moreover, in order to design high resistance, if spacing of internal electrodes 6a and 6b is enlarged, the effect will become large further.

[0005] This invention solves the conventional technical problem and a resistance design aims at offering the easy laminating mold thermistor which was moreover excellent in the resistance to environment.

#### [0006]

[Means for Solving the Problem] In order to solve this technical problem the laminating mold thermistor of this invention In the laminating mold thermistor which was electrically connected to the external electrode of

a pair, and it and which has an internal electrode more than a pair at least While making small whenever [ to an internal electrode RA / effect / of RB and RC ] by forming the outermost layer in a ceramic layer with specific resistance higher than the thermistor layer between internal electrodes Effect of the change in resistance of the external inter-electrode surface layer resistance RC can be made small, and this attains the desired end.

[0007]

[Embodiment of the Invention] In the laminating mold thermistor by which invention of this invention according to claim 1 was electrically connected to the external electrode of a pair, and it and which has an internal electrode more than a pair at least By being the laminating mold thermistor which formed the outermost layer in the ceramic layer with specific resistance higher than the thermistor layer between said internal electrodes, and forming the outermost layer in the high ceramic layer of specific resistance While whenever [ effect / of the resistance components RB and RC of others to the internal inter-electrode resistance RA ] can be made small and a resistance design becomes easy, environment-resistant ability can also be raised.

[0008] Invention according to claim 2 is the laminating mold thermistor according to claim 1 which carried out presentation adjustment, as a thermistor layer and a ceramic layer are sintered at the same temperature, by making a thermistor layer and a ceramic layer sinter at the same temperature, both eburnation advances to coincidence and distortion by both laminating interface can prevent the fall of the mechanical strength of the sintered compact of a laminating mold thermistor few.

[0009] Invention according to claim 3 is the laminating mold thermistor according to claim 1 which set up the coefficient of thermal expansion of a ceramic layer smaller than the coefficient of thermal expansion of a thermistor layer, and by this, a laminating mold thermistor can be in the condition that compressive stress was always added from the outermost layer front face, and can raise a mechanical strength.

[0010] Invention according to claim 4 is the laminating mold thermistor according to claim 1 which formed the thickness of a ceramic layer more thickly than the thickness of a thermistor layer, and has the effectiveness that whenever [ effect / of the resistance components RB and RC of others to the internal inter-electrode resistance RA ] can be made still smaller by this.

[0011] Hereafter, the gestalt of 1 operation of this invention is explained using an accompanying drawing. Drawing 1 shows the sectional

view of the laminating mold thermistor in the gestalt of 1 operation of this invention. For 1, in drawing, a thermistor layer, 2a, and 2b are [ a ceramic layer and 4a and 4b of an internal electrode, and 3a and 3b ] external electrodes. The resistance R of the obtained laminating mold thermistor is expressed with a degree type.

[0012] The resistance R1 of a laminating mold thermistor the resistance R2 which generates  $1/R=1/R1+1/R2+1 / R3$ , however R between internal electrode 2a and 2b Between an internal electrode 2a point and external electrode 4b, And as for the magnitude of the resistance at the time of forming the thermistor layer 1 and the ceramic layers 3a and 3b in the general resistance target generated between external electrode 4a and 4b with the same ingredient, the resistance R3 generated between the point of internal electrode 2b and external electrode 4a has the relation of  $R1 < R2 < R3$ . Moreover, R1 is expressed with a degree type when specific resistance of S and the thermistor layer 1 is set [ the distance between internal electrode 2a and 2b ] to p1 for T, internal electrode 2a, and the opposed face product of 2b.

[0013] The distance between external electrode 4b which constitutes the specific resistance of the ceramic layers 3a and 3b from a high ingredient, and faces p2, internal electrode 2a, or the point of 2b and it in the specific resistance from the  $R1=p1 \cdot T/S$  thermistor layer 1, and 4a L, If distance between external electrode 4a and 4b is set to D, it will become the value to which R2 was proportional to p1, p2, and L, and R3 is proportional to p1, p2, and D.

[0014] If the outermost layer of the conventional laminating mold thermistor of drawing 2 is constituted from same ingredient as the thermistor layer 1 of the gestalt of this operation and other parameters (S, T, L, D) make it the same, it will become the value to which R2 of the conventional laminating mold thermistor was proportional to p1 and L, and R3 is proportional to p1 and D.

[0015] Therefore, R2 and R3 of the laminating mold thermistor of the gestalt of this operation from the relation of  $p1 < p2$  become smaller than the conventional thing.

[0016] Next, the concrete example of this invention is explained. (Example) Each ingredient of specific resistance  $p1=2.4\text{komega and cm}$  which consists of Mn:nickel:Cr=81.5:17.5:1.0 (at%), and specific resistance  $p2=12\text{komega and cm}$  which consist of Mn:nickel:aluminum:Cr=72.5:17.5:9.0:1.0 (at%) was produced using the well-known ceramic industry-technique.

[0017] Next, the green sheet with a thickness of 25 micrometers was produced for said ingredient using the well-known doctor blade method,

respectively.

[0018] Subsequently, the Green block of a laminating mold thermistor was produced according to the manufacture approach of a well-known laminating ceramic condenser.

[0019] First, five-layer laminating pressurization arrival of the Mn:nickel:aluminum:Cr system green sheet of a high specific resistance ingredient is carried out, and the green sheet of the outermost layer ceramic layers 3a and 3b is produced.

[0020] Next, after carrying out two-layer laminating sticking by pressure of the green sheet of the Mn:nickel:Cr system of a low specific resistance ingredient in the green sheet side of ceramic layer 3a, Laminating sticking by pressure of the Mn-nickel-Cr system green sheet of low electrical resistance materials which formed internal electrode 2a in the field with the electrode paste which uses Pd as a principal component by screen-stencil is performed. Then, the Mn-nickel-Cr system green sheet of low electrical resistance materials which formed internal electrode 2b like the field is predetermined \*\*\*\*\* made into the longitudinal direction of internal electrode 2a, and laminating sticking by pressure is performed. Furthermore, two-layer laminating sticking by pressure was performed for the Mn-nickel-Cr system green sheet of low electrical resistance materials, laminating sticking by pressure of the green sheet of Mn:nickel:aluminum:Cr system ceramic layer 3b of a high specific resistance ingredient was carried out at the last, and the layered product Green block (not shown) was produced.

[0021] Then, the produced Green block is cut in a predetermined dimension, and the Green chip is obtained. The obtained Green chip is in the condition that the end face of internal electrode 2b was exposed to the other-end side where the end face of internal electrode 2a counters one end face on both sides of the Mn-nickel-Cr system green sheet of low electrical resistance materials.

[0022] After calcinating the obtained Green chip at the temperature of 1350 degrees C in atmospheric air and producing a sintered compact, beveling of a sintered compact is performed and one end face of internal electrode 2a and 2b is completely exposed to the both-ends side of a sintered compact.

[0023] Then, after applying to the both-ends surface part of a sintered compact the electrode paste which uses Ag as a principal component, it burned at the temperature of 800 degrees C, and the external electrodes 4a and 4b were formed.

[0024] Next, the nickel film and the laminating mold thermistor which forms the solder film on it further and is shown in drawing 1 were

completed with electrolysis plating on the field of the external electrodes 4a and 4b.

[0025] Moreover, the conventional laminating mold thermistor which shows all layers to drawing 2 like this example, using the Mn-nickel-Cr system green sheet of low electrical resistance materials as an example of a comparison was produced.

[0026] with the variation in the resistance R of the laminating mold thermistor of this example and the conventional example which were produced, and a humidity [ the temperature of 85 degrees C and 85% of humidity ] constant temperature -- the rate of a change in resistance before and behind the shelf test in \*\* left in a constant humidity chamber for 1000 hours was evaluated, and the result was shown in (Table 1).

[0027]

[Table 1]

	初期抵抗値		温中放置試験 $\Delta R_{25}/R_{25}$
	$R_{25}$	変動係数%/ $X$	
本発明品	2. 03 kΩ	1. 18%	0. 56%
従来品	1. 92 kΩ	2. 01%	2. 01%

[0028] As shown in (Table 1), it turns out that the resistance rate of change in 1/2 and the shelf test in \*\* has become as small [ resistance coefficient of variation ] as one fifth as compared with the conventional example as for the laminating mold thermistor of this invention. It is shown that the contribution of the resistance R2 and R3 over resistance R1 becomes small, and this can acquire the value as a design by forming the ceramic layers 3a and 3b of high specific resistance in the outermost layer of this invention. Moreover, it is thought that the contribution of resistance R3 change of external electrode 4a, ceramic layer 3a between 4b, and 3b front face became small also in the shelf test in \*\*, and the rate of a change in resistance also became small.

[0029] Therefore, if the opposed face product S and distance T of internal electrode 2a and 2b are produced with a sufficient precision, the laminating mold thermistor which was excellent in opposite environment nature with little effect of a resistance fluctuation element with the point of internal electrode 2a and 2b and the parameter of the spacing D between the distance L of the external electrodes 4a

and 4b, external electrode 4a, and 4b can be offered, and it will become the high thing of effectiveness industrially.

[0030]

[Effect of the Invention] Above, in the laminating mold thermistor which was electrically connected to the external electrode of a pair, and it and which has an internal electrode more than a pair at least, by forming the outermost layer in a ceramic layer with specific resistance higher than the thermistor layer between said internal electrodes, a resistance design is easy, resistance variation is small and, according to this invention, offer of the laminating mold thermistor which was moreover excellent in moisture resistance of it is attained.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The sectional view of the laminating mold thermistor of the gestalt of 1 operation of this invention

[Drawing 2] The sectional view of the conventional laminating mold thermistor

[Description of Notations]

- 1 Thermistor Layer
- 2a, 2b Internal electrode
- 3a, 3b Ceramic layer
- 4a, 4b External electrode

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

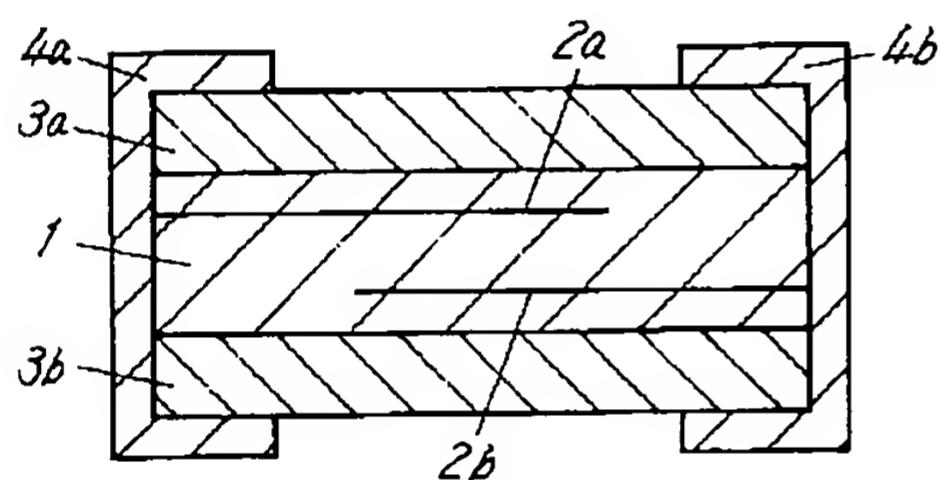
---

## DRAWINGS

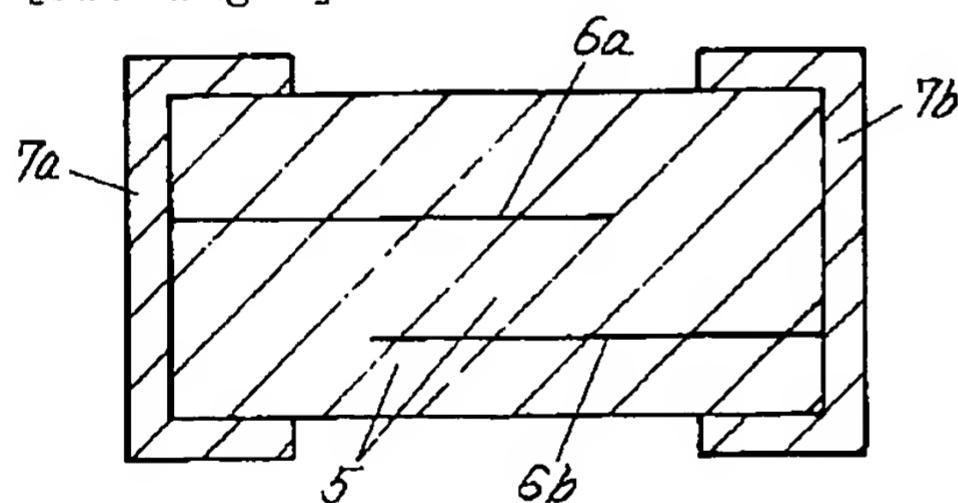
---

[Drawing 1]

1 サーミスター層  
2a, 2b 内部電極  
3a, 3b セラミック層  
4a, 4b 外部電極



[Drawing 2]



---

[Translation done.]